

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): KIM, Sun Min et al.

Application No.:

Filed: December 28, 2001

For: CHARGE PUMP DEVICE FOR SEMICONDUCTOR MEMORY

Group: *#2*
P.B. 2/22/01

Examiner:



LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

December 28, 2001
0630-1292P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2000/87289	12/30/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: *[Signature]*

JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

KIM, Sun Min et al.
December 28, 2001
BSKB, LLP
(703) 205-8000
0630-1292P
1041

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

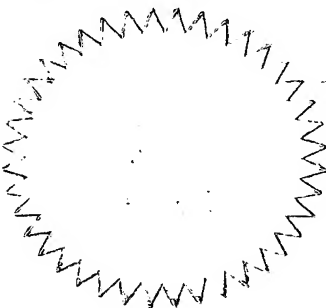
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

JC926 U.S. PRO
10/028686
12/28/01

출원번호 : 특허출원 2000년 제 87289 호
Application Number

출원년월일 : 2000년 12월 30일
Date of Application

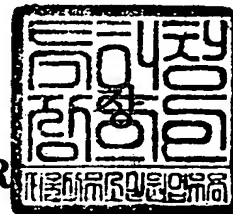
출원인 : 현대전자산업주식회사
Applicant(s)



2001 01 17
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2000. 12. 30
【국제특허분류】	H01L 27/10
【발명의 명칭】	반도체 메모리장치의 차지 펌프회로
【발명의 영문명칭】	CHARGE PUMP CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-057677-7
【발명자】	
【성명의 국문표기】	김선민
【성명의 영문표기】	KIM, Sun Min
【주민등록번호】	691227-1221119
【우편번호】	139-050
【주소】	서울특별시 노원구 월계동 상호아파트 27동 1109호
【국적】	KR
【발명자】	
【성명의 국문표기】	박종훈
【성명의 영문표기】	PARK, Jong Hoon
【주민등록번호】	640814-1231426
【우편번호】	431-061
【주소】	경기도 안양시 동안구 관양1동 1414-14 아리랑3차아파트 404호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 554,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리소자의 파워 소모량에 따라 동작되는 차지 펌프의 수를 가변시켜 전류소모를 줄일 수 있는 반도체 메모리장치의 차지 펌프회로로서, 복수의 단위 차지 펌프로 구성되어 펌핑동작을 수행하는 차지펌프부와; 승압전압의 레벨을 다 단계로 감지하여, 디바이스의 파워소모량에 따라 산기 복수의 단위 차지펌프를 선택적으로 구동하기 위한 감지신호를 출력하는 멀티레벨 감지부와; 멀티레벨 감지부에서 출력된 감지신호에 따라 펄스신호를 발생하는 오실레이터와; 복수의 단위 차지펌프로 구성되어 펌핑동작을 수행하는 차지펌프부와; 오실레이터의 펄스신호와 멀티레벨 감지부에서 출력된 레벨감지신호를 연산하여 복수의 단위 차지펌프로 출력하는 논리연산부로 구성된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 메모리장치의 차지 펌프회로{CHARGE PUMP CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE}

【도면의 간단한 설명】

도1은 종래의 반도체 메모리장치의 차지펌프회로의 블록도.

도2는 도 1에서 레벨감지부의 상세 회로구성도.

도3는 본 발명의 따른 반도체 메모리장치의 차지펌프회로의 블록도.

도4는 도 3에서 멀티레벨 감지부의 상세 회로구성도.

도5는 도 3에서 디바이스 상태에 따라 선택적으로 구동되는 단위 차지펌프를 나타내기 위한 각 부의 상태 타이밍도.

***** 도면의 주요부분에대한부호설명*****

100 : 멀티레벨 감지부 100-1~100-n : 레벨감지기

101 : 전압분배기 200 : 오실레이터

300 : 논리연산부 400 : 차지펌프부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 메모리장치의 승압전압 발생회로에 관한 것으로서, 특히 차지 펌프회로에 관한 것이다.

- <11> 도1은 종래의 반도체 메모리장치의 차지 펌프회로의 블록도이다.
- <12> 도1에 도시된 바와같이 종래의 반도체 메모리장치의 차지펌프 회로는 승압전압(VPP)의 레벨을 검출하는 레벨 감지부(10)와, 레벨감지부(10)에서 출력된 레벨 감지신호(DET)에 따라 펄스신호(PUL)를 발생키는 오실레이터(20)와, 오실레이터(20)에서 출력된 펄스신호(PUL)에 따라 펌핑동작을 수행하여 승압전압(Vpp)을 출력하는 차지 펌프부(30)로 구성된다. 이때, 차지펌프부(30)는 적어도 하나 이상의 단위 차지펌프(30-1~30-n)들로 구성된다.
- <13> 레벨 감지부(10)는 도2에 도시된 바와같이 승압전압(VPP)을 기준전압(VREF)과 비교하는 차동 증폭기로 구성되며, NMOS트랜지스터(NM3)의 게이트에는 펌핑 인에이블신호(PUMP_ON)가 입력된다.
- <14> 이와 같이 구성된 종래의 반도체 메모리장치의 차지펌프 회로의 동작을 상세히 설명하면 다음과 같다.
- <15> 펌핑 인에이블신호(PUMP_ON)가 하이상태가 되어, 차지펌프회로가 동작되면 먼저 레벨감지부(10)는 VPP레벨을 기준전압(VREF)과 비교하여 VPP의 레벨을 감지한다. 즉, 도2에 도시된 바와같이, VREF의 레벨이 VPP보다 크면 레벨감지부(10)는 인버터(INV)를 통하여 하이상태의 레벨 감지신호(DET)를 출력하고, VPP의 레벨이 VREF보다 크면 로우상태의 레벨 감지신호(DET)를 출력한다.
- <16> 따라서, 오실레이터(20)는 레벨감지부(10)에서 출력된 레벨감지신호(DET)에 따라 동작되어, 차지펌프부(30)의 단위 차지펌프(30-1~30-n)들을 동작시키거나 정지시킨다. 즉, 레벨 감지부(10)에서 출력된 레벨 감지신호(DET)가 하이상태이면, 차지펌프부(30)의 단위

차지펌프(30-1~30-n)들을 모두 동작시켜 VPP레벨을 증가시키고, 레벨 감지신호(DET)가 로우상태이면 차지펌프부(30)의 단위 차지펌프(30-1~30-n)들을 모두 정지시켜 VPP레벨을 감소시킨다.

<17> 그런데, 종래의 차지 펌프회로는 디바이스가 저속동작(적은 파워소모) 또는 고속동작(많은 파워소모)에 관계없이 복수의 단위 차지펌프들을 모두 동작시켜 펌핑동작을 수행한다. 따라서, 디바이스가 적은 파워를 소모할 경우에도 단위 차지펌프들이 필요이상으로 동작되어 파워를 소모하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 목적은 디바이스의 파워소모량에 따라 복수의 단위 차지펌프를 선택적으로 구동하여 전류소모를 줄일 수 있는 반도체 메모리장치의 차지 펌프회로를 제공하는데 있다.

<19> 상기의 목적을 달성하기 위하여 본 발명에 따른 반도체 메모리장치의 차지 펌프회로는 디바이스에 전류 소모량에 따라 복수의 단위 차지 펌프를 선택적으로 구동하여 승압전압의 레벨을 유지하는데, 스텝바이시에는 한 개의 단위 차지펌프만을 구동시키고, 로우파워 소모시에는 두 개의 단위 차지펌프를 구동시키며, 하이 파워소모시에는 모든 단위 차지펌프들을 구동시킨다.

<20> 상기의 목적을 달성하기 위하여 본 발명에 따른 반도체 메모리장치의 차지 펌프회로는 복수의 차지펌프로 구성되어 펌핑동작을 수행하는 차지펌프부와; 디바이스의 파워소모량에 따라 복수의 단위 차지펌프를 선택적으로 구동하기 위하여 승압전압의 레벨을 다 단계로 감지하는 멀티레벨 감지부와; 멀티레벨 감지부의 감지신호에 따라 펄스신호를 발생

하는 오실레이터와; 오실레이터의 펄스신호와 멀티레벨 감지부의 레벨감지 신호를 연산하여 차지펌프부로 출력하는 논리연산부를 포함한다.

<21> 그리고, 멀티레벨 감지부는 승압전압을 복수의 전압레벨로 분배하는 전압 분배기와; 전압분배기에서 출력된 전압레벨들과 승압전압을 각각 비교하여 승압전압의 레벨을 다단계로 감지하는 복수의 레벨감지기로 구성된다.

【발명의 구성 및 작용】

<22> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

<23> 도3은 본 발명에 따른 반도체 메모리장치의 차지펌프회로의 블록도이다.

<24> 도 3에 도시된 바와같이, 본 발명에 따른 반도체 메모리장치의 차지펌프회로는

승압전압(VPP)의 레벨을 다단계로 감지하는 멀티레벨 감지부와(100); 멀티 레벨 감지부(100)에서 감지된 제1레벨 감지신호(DET1)에 따라 펄스신호(PUL)를 발생하는 오실레이터(200)와, 오실레이터(200)의 펄스신호와 멀티레벨 감지부(100)에서 감지된 제2-제n레벨 감지신호(DET2-DETN)들을 낸딩하여 차지펌프부(400)를 구동하는 논리연산부(300)로 구성된다. 이때, 차지펌프부(400)의 제1단위 차지펌프(40-1)는 펌프동작이 개시되면 항상 동작하고, 제2-제n 단위차지펌프(40-2~40-n)들은 디바이스의 파워소모량에 따라 선택적으로 구동된다.

<25> 멀티 레벨 감지부(100)는 도 4에 도시된 바와같이, 전원전압(VDD)을 복수의 전압레벨(DIV1~DIVn)로 분배하는 전압 분배기(101)와, 상가 분배된 복수의 전압레벨(DIV1~DIVn)과 승압전압(VPP)을 비교하여 승압전압(VPP)의 레벨을 감지하는 복수의 레벨감지기(100-1~100-n)로 구성된다. 이때, 상기 레벨 감지기(100-1~100-n)는 공정변화나 온도

에 덜 민감하도록 차동 증폭기를 사용하여 구현한다.

<26> 이와 같이 구성된 본 발명에 따른 반도체 메모리장치의 차지펌프회로의 동작은 다음과 같다.

<27> 도 5의 (A),(B)에 도시된 바와같이, 디바이스가 파워-온되어 펌핑 인에이블신호 (PUMP_ON)가 하이상태가 되면 멀티 레벨감지부(10)는 VPP레벨을 기준전압(VREF)과 비교하여 제1-제n레벨 감지신호(DET1~DETn)를 출력한다. 그런데, 동작초기에 차지펌프부(400)에서 출력되는 VPP의 레벨은 로우상태(VSS)이기 때문에 제1-제n레벨 감지신호(DET1~DETn)는 모두 하이상태가 된다.

<28> 따라서, 오실레이터에서 출력된 펄스신호(PUL)가 논리연산부(300)을 통하여 차지펌프부(400)로 인가되어, 도 5의 (C)와 같이 모든 제1-제n 단위차지펌프(40-1~40-n)들을 동작시킴으로써 VPP레벨이 상승하기 시작한다. VPP의 레벨이 상승하면 제1~제n레벨 감지신호(DET1~DETn)는 하이상태에서 로우상태로 바뀌기 때문에 동작되는 단위 차지펌프(40-1~40-n)들의 수가 줄어들게 되며 디바이스는 스탠바이 상태가 된다.

<29> 먼저, 스탠바이 상태에서는 제1단위 차지펌프(40-1)만을 동작시켜 승압전압(Vpp)레벨을 유지한다. 이것은 도 4의 전압 분배기(101)에서 분배전압(DIV1)의 레벨 $(DIV1 = VPP * R0 / (R0 + R1 + \dots + Rn))$ 을 기준전압(VREF)보다 작게 설계함으로써 가능하다.

<30> 액티브상태에서 디바이스(Device)가 파워를 소모하기 시작하면(저속동작) 승압전압(VPP)의 레벨이 낮아지기 시작하고, 승압전압(VPP)의 레벨이 낮아지면 기준전압(VREFf)과 비교되는 분배전압(DIV1)의 레벨도 낮아지게 된다. 따라서, 레벨감지기(100-2)에서 출력되는 제2레벨 감지 신호(DET2)가 로우상태에서 하이상태로 천이하며 제2단위 차지펌프

(40-2)가 동작된다.

<31> 이후, 액티브상태에서 파워소모가 아주 많은 경우(고속동작)에는 승압전압(VPP)의 레벨이 아주 낮아져 레벨감지기(100-n)에서 출력되는 제n레벨 감지 신호(DETn)도 로우상태에서 하이상태로 천이한다. 따라서, 멀티레벨 감지부(1000에서 출력되는 제1-제n레벨 감지 신호(DET1~DETn)가 모두 하이상태가 되어 모든 단위 차지펌프(40-1~40-n)들을 동작시키게 된다.

<32> 이와같은 과정을 반복적으로 수행하여 본 발명에 따른 차지펌프회로는 디바이스에 전류소모량에 따라 복수의 단위 차지 펌프를 선택적으로 구동하여 승압전압(VPP)의 레벨을 유지하게 된다. 즉, 스텝바이시에는 한 개의 단위 차지펌프(40-1)만을 구동시키고, 로우 파워 소모시에는 두 개의 단위 차지펌프(40-1,40-2)를 구동시키며, 하이 파워소모시에는 모든 단위 차지펌프(40-1~40-n)들을 구동시킨다.

<33> 그리고, 본 발명에서 선행된 실시예들은 단지 한 예로서 청구범위를 한정하지 않으며, 여러가지의 대안, 수정 및 변경들이 통상의 지식을 갖춘자에게 자명한 것이 될 것이다.

【발명의 효과】

<34> 상술한 바와같이, 본 발명에 따른 차지펌프회로는 승압전압 레벨을 다단계로 감지하여 디바이스의 파워 소모량 변화에 따라 동작되는 단위 차지펌프의 수를 자동으로 조절함으로써 전력소모를 줄일 수 있는 효과가 있다.

<35> 또한, 본 발명은 파워 소모량 변화에 따라 단위 차지펌프의 수를 가변시킴으로써 각 단위 차지펌프의 펌핑 캐패시터의 크기를 적게 할 수 있기 때문에 스위칭시 발생하는 노이즈를 감소시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

제1-제n단위 차지펌프로 구성된 차지펌프부와;

디바이스의 파워소모량에 따라 상기 단위 차지펌프들을 가변적으로 구동하기 위하여 승압전압의 레벨을 다 단계로 감지하는 멀티레벨 감지부와;

멀티레벨 감지부의 감지신호에 따라 펄스신호를 발생하는 오실레이터와;

오실레이터의 펄스신호와 멀티레벨 감지부에서 출력된 레벨감지 신호를 연산하여 차지펌프부로 출력하는 논리연산부로 구성된 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 2】

제1항에 있어서, 상기 제1단위 차지펌프는

멀티레벨 감지부에서 출력된 감지신호에 따라 항상 구동되는 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 3】

제1항에 있어서, 상기 제1-제n단위 차지펌프들은

파워가 온되거나 또는 액티브상태에서 파워소모가 많을 때 모두 구동되는 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 4】

제1항에 있어서, 상기 제2단위 차지펌프는

액티브상태에서 파워소모가 적을 때 구동되는 것을 특징으로 하는 반도체 메모리장치의
차지 펌프회로.

【청구항 5】

제1항에 있어서, 상기 멀티레벨 감지부는

승압전압을 제1-제n전압레벨로 분배하는 전압 분배기와;

전압분배기에서 분배된 제1-제n전압레벨과 승압전압을 각각 비교하여 승압전압의 레벨을
감지하는 제1-제n레벨감지기로 구성된 것을 특징으로 하는 반도체 메모리장치의 차지 펌
프회로.

【청구항 6】

제5항에 있어서, 상기 제1-제n레벨 감지기는

차동 증폭기인 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 7】

제5항에 있어서, 상기 제1전압레벨은

기준전압보다 작은 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 8】

제1-제n단위 차지펌프로 구성된 차지펌프부와;

디바이스의 파워소모량에 따라 단위 차지펌프들을 선택적으로 구동하기 위하여 승압전
압의 레벨을 다 단계로 감지하는 멀티레벨 감지부와

멀티레벨 감지부의 감지신호에 따라 펄스신호를 발생하는 오실레이터와;

오실레이터의 펄스신호와 멀티레벨 감지부의 레벨감지 신호를 연산하여 제1-제n단위 차지펌프로 출력하는 논리연산부로 구성되며, 상기 멀티레벨 감지부는
승압전압을 제1-제n전압레벨로 분배하는 전압 분배기와;
전압분배기에서 출력된 제1-제n전압레벨과 승압전압을 각각 비교하여 복수의 승압전압의 레벨을 감지하는 제1-제n레벨감지기로 구성된 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 9】

제8항에 있어서, 상기 제1-제n레벨 감지기는
차동 증폭기인 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 10】

제8항에 있어서, 상기 제1전압레벨은
기준전압보다 작은 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 11】

제8항에 있어서, 상기 제1단위 차지펌프는
멀티레벨 감지부에서 출력된 감지신호에 따라 항상 구동되는 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【청구항 12】

제8항에 있어서, 상기 제1-제n단위 차지펌프들은

파워가 온되거나 또는 액티브상태에서 파워소모가 많을 때 모두 구동되는 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

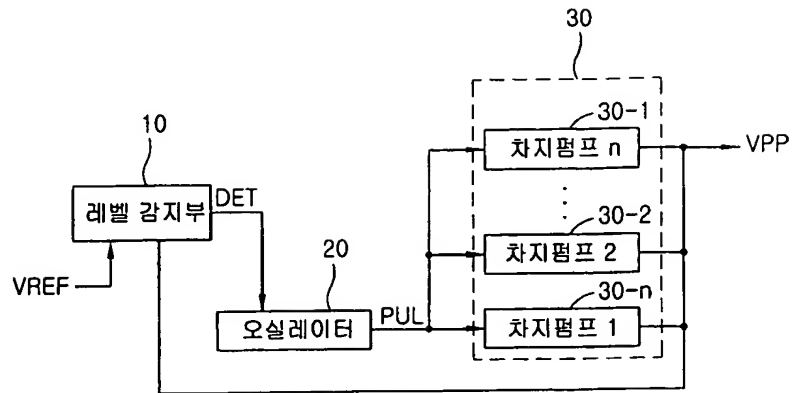
【청구항 13】

제8항에 있어서, 상기 제2단위 차지펌프는

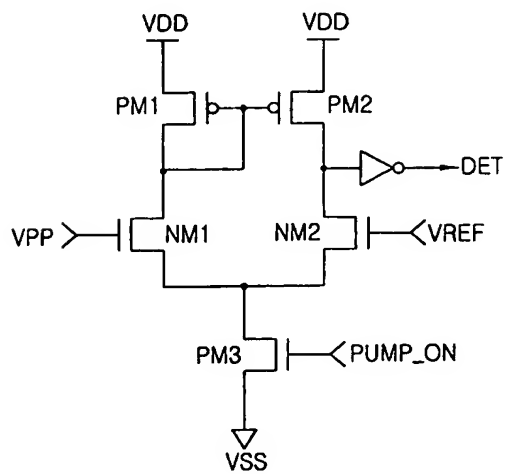
액티브상태에서 파워소모가 적을 때 구동되는 것을 특징으로 하는 반도체 메모리장치의 차지 펌프회로.

【도면】

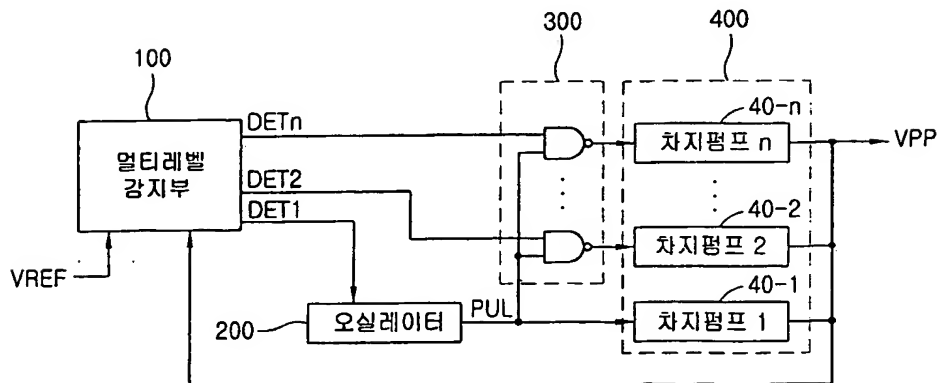
【도 1】



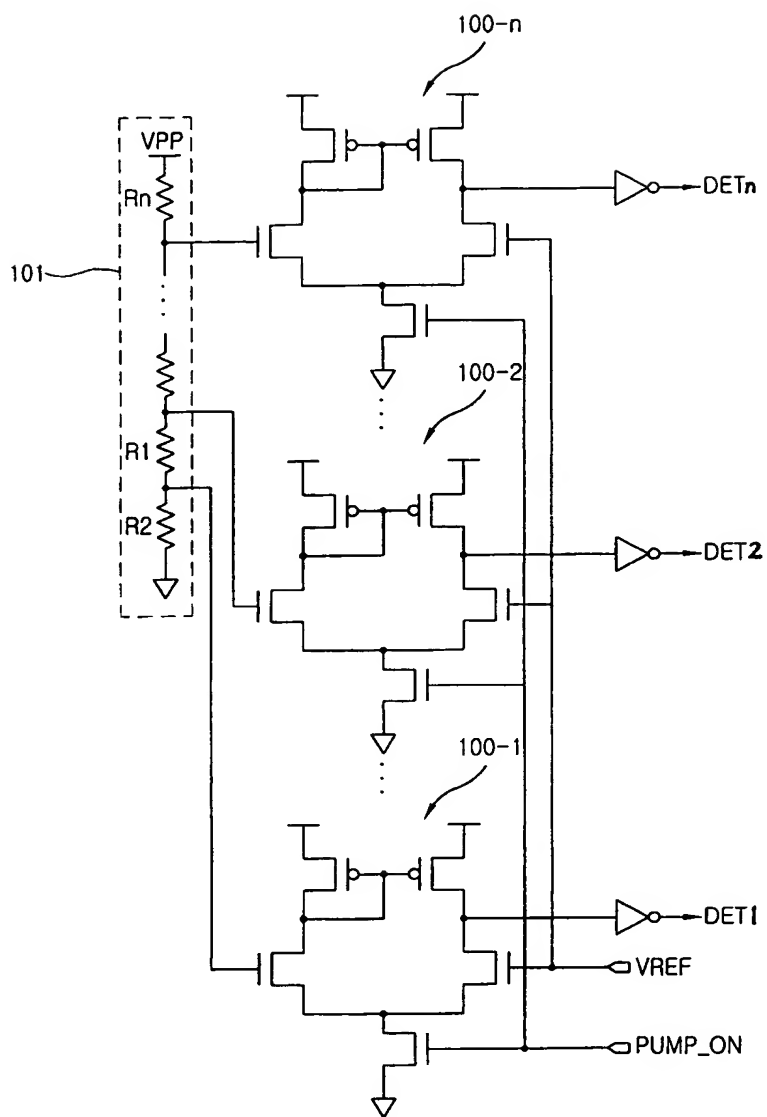
【도 2】



【도 3】



【도 4】



【도 5】

